

MR45V100A

1M(131,072-Word × 8-Bit) FeRAM (Ferroelectric Random Access Memory) SPI

概要

MR45V100Aは強誘電体プロセスとシリコンゲートCMOSプロセス技術により開発された128Kワード×8ビット構成の不揮発性メモリ - 強誘電体ランダムアクセスメモリ (FeRAM: Ferroelectric Random Access Memory)です。インターフェースはシリアルペリフェラルインターフェースを採用しています。メモリセルは不揮発性であるため、データ保持には、SRAMのような電池によるバックアップは不要です。また、各種のEEPROMのようなメモリセルあるいはブロックに対するイレース操作およびプログラム操作という仕組みはありません。したがって、書き込みサイクル時間は、読み出しサイクル時間と同じにすることができます。また、書き込み時の消費電力を大幅に小さくすることができます。書き込み/読み出しサイクルは、1ビットあたり 10^{12} 回の耐性が保証されており、大幅に書き換え回数を引き延ばすことができるため、さまざまなアプリケーションへの応用が可能です。

特長

131,072ワード×8ビット構成 (シリアルペリフェラルインターフェース：SPI)

1.8V ~ 3.6V (3.3 V typ) 単一電源

動作周波数： 34MHz(READ コマンド)/40MHz(READ コマンド以外)

リードライト耐性： 10^{12} 回

データ保証期間： 10年

動作保証温度範囲： -40 ~ 85

動作時消費電流： 3.0mA(Typ.) 4.5mA(Max.)

スタンバイ時消費電流： 10 μ A(Typ.) 50 μ A (Max.)

スリープ時消費電流： 0.1 μ A(Typ.) 2 μ A(Max.)

パッケージ：

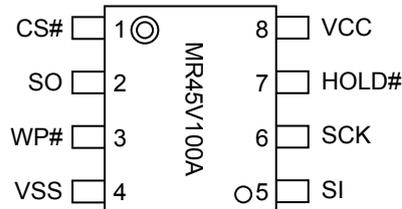
8ピン・プラスチック SOP (P-SOP8-200-1.27-T2K)

8ピン・プラスチック DIP (P-DIP8-300-2.54-T6)

本製品はRoHS基準に適合しています

端子接続（上面図）

8ピン・プラスチック SOP / DIP



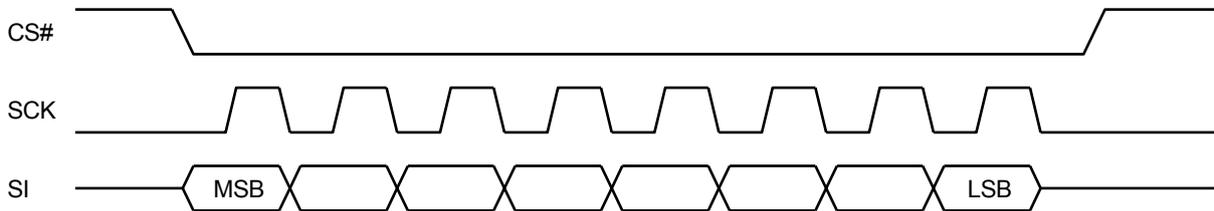
注記: ピン名称の最後に#の付く信号は、負論理アクティブの信号です。

端子機能

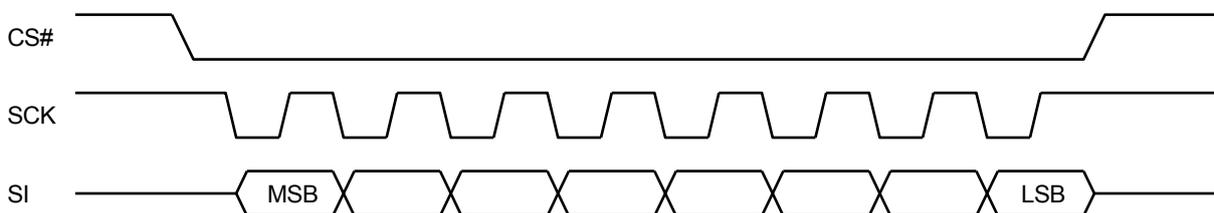
端子名	機能
CS#	チップイネーブル（入力、負論理） “L”入力でチップを選択状態とし、命令コードを入力することで規定の動作を行います。 “H”入力で非選択状態となります。
WP#	ライトプロテクト（入力、負論理） ライトプロテクトは、書き込み命令に対するプロテクトエリアサイズ（ステータスレジスタのBP1, BP0）を保護することを目的とします。このピンは、すべての書き込み動作中は“H”もしくは“L”に固定してください。
HOLD#	ホールド（入力、負論理） ホールドは、デバイスを非選択状態にせずにシリアルコミュニケーションを休止するとき に使用します。ホールド状態では、シリアル出力はHigh-Z 状態となり、シリアル入力お よびシリアルクロックは Don't Care となります。ホールド動作中は、チップセレクト を“L”レベルにし、デバイスをアクティブ状態にしてください。
SCK	シリアルクロック シリアルデータのタイミングを設定するためのクロック入力端子。命令コード、アドレス、 書き込みデータの入力は、クロックの立ち上がりで取り込みます。データ出力は、クロッ クの立ち下がり時に出力します。
SI	シリアル入力 シリアルデータの入力端子。命令コード、アドレス、書き込みデータを入力します。 シリアルクロックの立ち上がりで入力データをラッチします。
SO	シリアル出力 データ出力は、シリアルクロックの立ち下がりにて変化します。
Vcc, Vss	電源 Vcc に規定の電圧を印加してください。Vss をグラウンドに接続してください。

SPI モード (シリアルペリフェラルインターフェース)

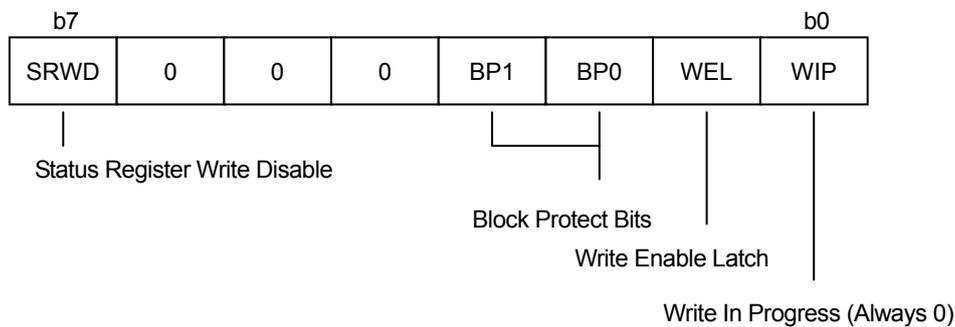
SPI モード 0 (CPOL=0, CPHA=0)



SPI モード 3 (CPOL=1, CPHA=1)



ステータスレジスタ



フィールド名	機能
WIP	常に"0"が読み出される。
WEL	内部の Write Enable Latch の状態を表示する。(揮発ビット)
BP0, BP1	Block Protect ビットは、BP0, BP1 の値にてプロテクトする領域を変更できる、ソフトウェアプロテクト。(不揮発ビット)
SRWD	Status Register Write Disable (SRWD) ビットは、ライトプロテクト信号 (WP#) と関連して動作する。SRWD ビットと WP# 信号の組み合わせにより、このデバイスはハードウェアプロテクト状態になる。(不揮発ビット)
0	予約領域 RFU のため、つねに"0"が読み出される。ライトできない。

命令コード

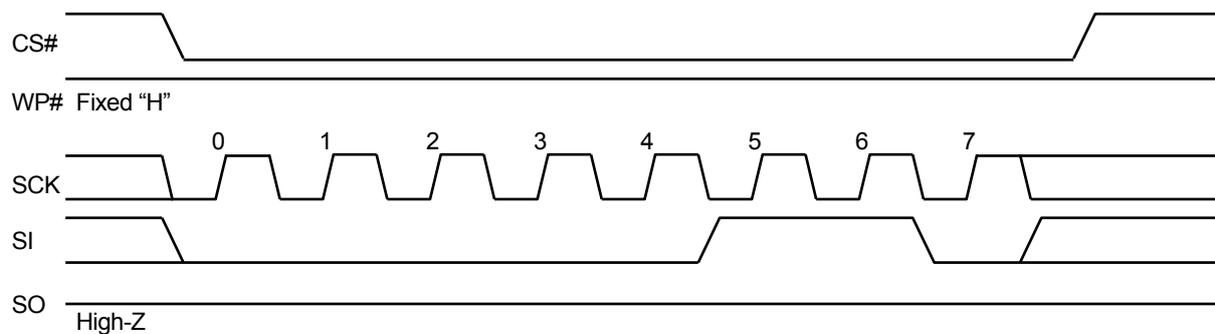
命令コードは下記の表に示すように 1 バイトで構成されます。もし、無効な命令コードを受信したときは、デバイスは非選択状態になります。

Instruction	Description	Instruction format
WREN	Write Enable	0000 0110
WRDI	Write Disable	0000 0100
RDSR	Read Status Register	0000 0101
WRSR	Write Status Register	0000 0001
READ	Read from Memory Array	0000 0011
WRITE	Write to Memory Array	0000 0010
FSTRD	Fast Read from Memory Array	0000 1011
RDID	Read Device ID	1001 1111
SLEEP	Enter Sleep Mode	1011 1001

コマンド

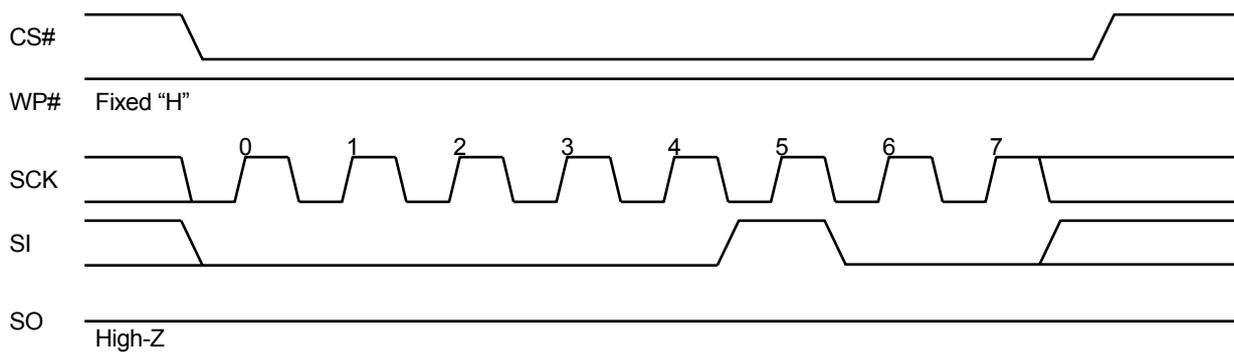
WREN 命令 (Write Enable)

データの書き込み動作 (WRITE と WRSR) を行う前には、Write Enable Latch (WEL) ビットをセットする必要があります。本命令により WEL ビットがセットされます。



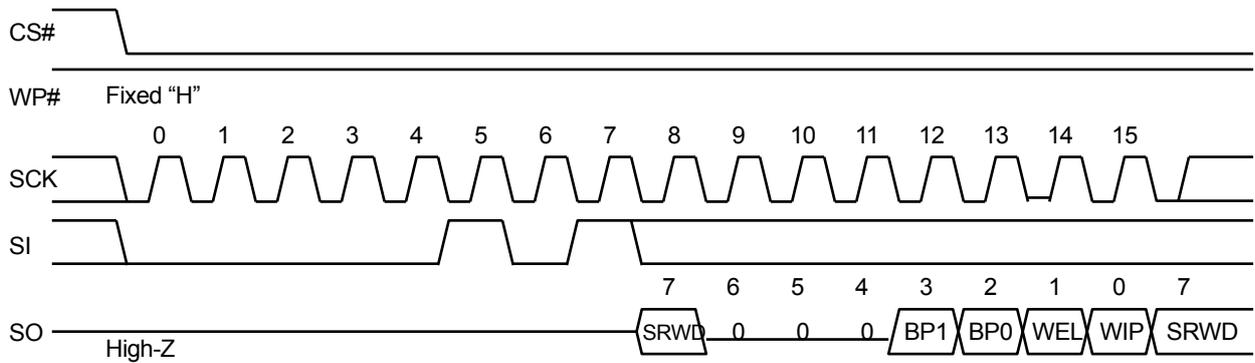
WRDI 命令 (Write Disable)

WRDI 命令は、WEL ビットをリセットします。



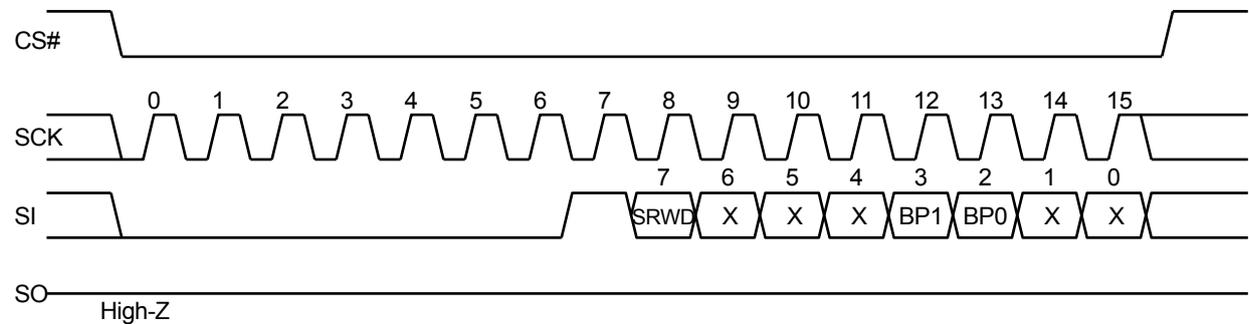
RDSR 命令 (READ Status Register)

RDSR 命令によって、ステータスレジスタのデータを読み出すことができます。ステータスレジスタは、いつでも何度でも続けて読み出し可能です。



WRSR 命令 (WRITE Status Register)

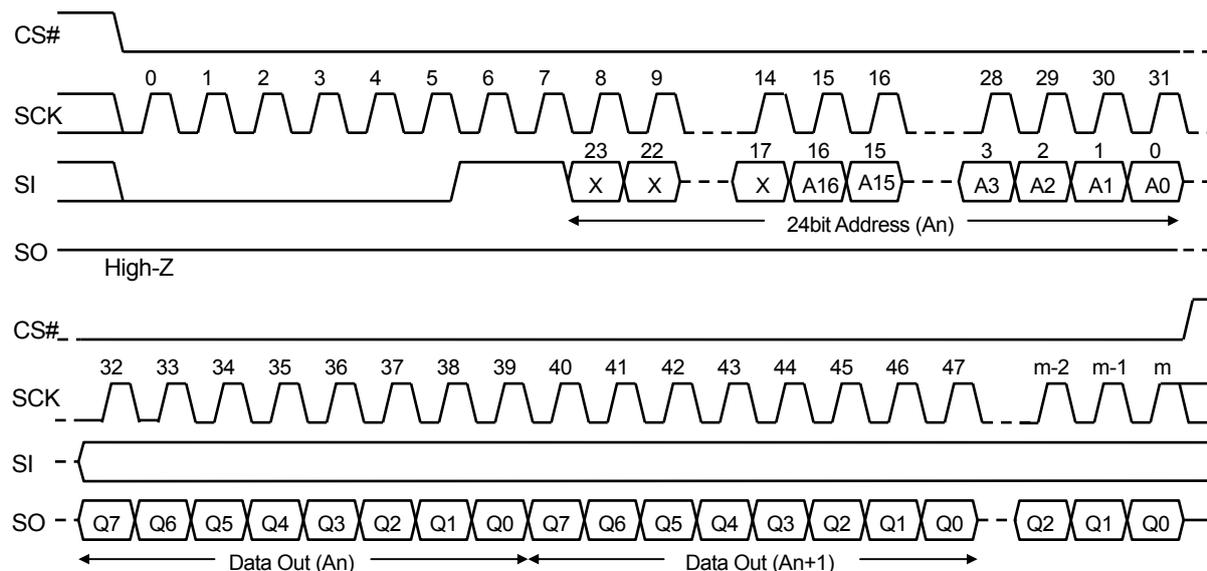
WRSR 命令によって、ステータスレジスタの値 (SRWD、BP1、BP0) を書き換えることができます。WRSR を実行する前に、WREN 命令にて WEL ビットをあらかじめセットしておく必要があります。WRSR 命令は、ステータスレジスタの RFU (b6、b5、b4)、WEL (b1)、WIP (b0) については書き換えできません。



注記: WP#="H"固定

READ 命令 (Read from Memory Array)

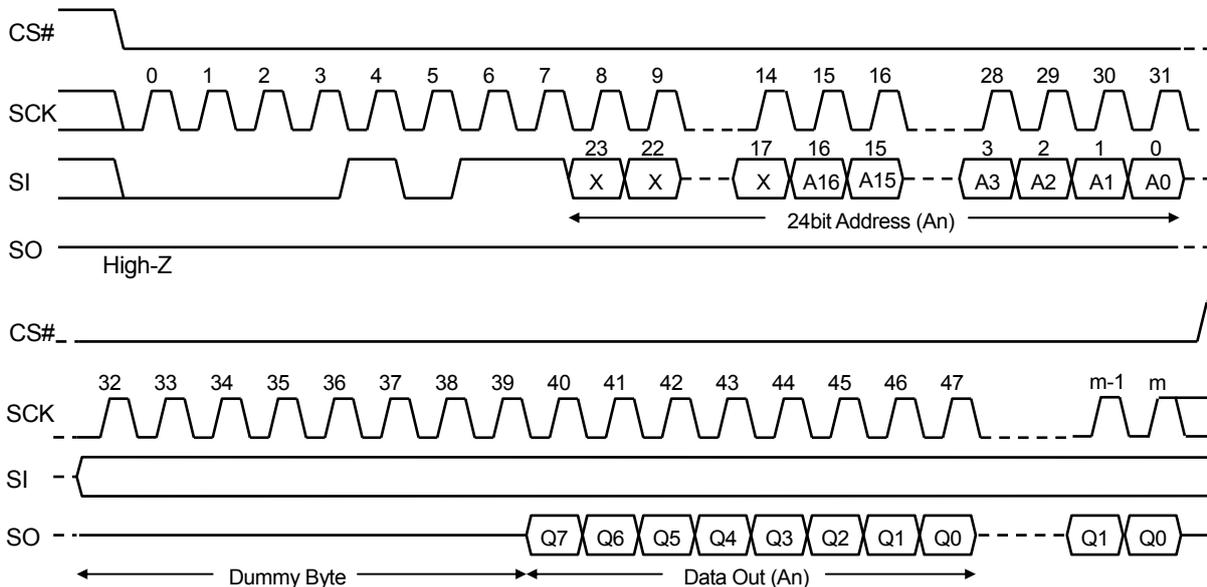
READ 動作はチップセレクト CS#を“L”にし、シリアル入力 SI より命令コード、アドレスを入力します。入力されたアドレスは、内部アドレスレジスタへロードされ、そしてアドレスのデータがシリアル出力 SO より出力されます。もし、CS#を“L”に保持した場合、シリアルクロック入力 8 クロックの後、内部アドレスレジスタは自動的にインクリメントされて、新しいアドレスのデータを出力します。アドレスが最上位に到達したとき、アドレスカウンタはロールオーバーし、先頭アドレス 0 番地になり、リードサイクルは限りなく続きます。リードサイクルを終わらせるためには、サイクル中の LSB 出力クロックで CS#を“H”にします。



注記: WP#="H"固定

FSTRD 命令 (Fast Read from Memory Array)

FSTRD 動作はチップセレクト CS#を“L”にし、シリアル入力 SI より命令コード、アドレスを入力します。8 ビットのダミーバイトの後、指定したアドレスのデータがシリアル出力 SO より出力されます。もし、CS#を“L”に保持した場合、シリアルクロック入力 8 クロックの後、内部アドレスレジスタは自動的にインクリメントされて、新しいアドレスのデータを出力します。アドレスが最上位に到達したとき、アドレスカウンタはロールオーバーし、先頭アドレス 0 番地になり、リードサイクルは限りなく続きます。リードサイクルを終わらせるためには、サイクル中の LSB 出力クロック立ち上げり後に CS#を“H”にします。

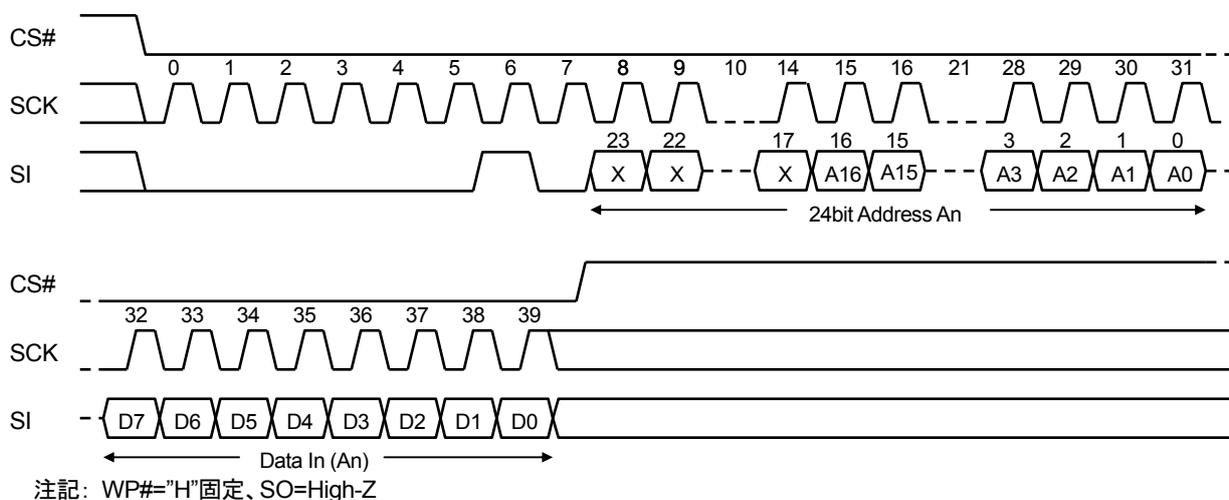


注記: WP#="H"固定

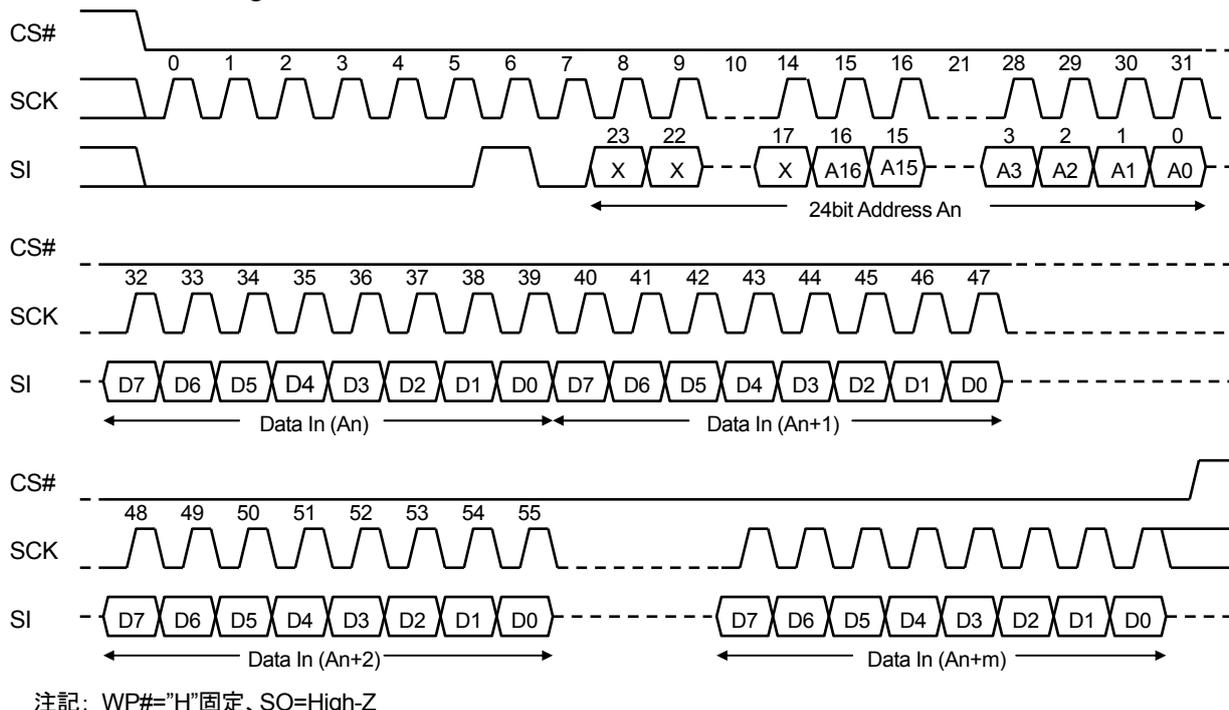
WRITE 命令 (Write to Memory Array)

WRITE 動作は最初にチップセレクト CS#を“L”にし、シリアル入力 SIより命令コード、アドレス、データを入力します。データ入力後または次のシリアルクロック立ち上がり入力前に CS#を“H”にすることにより書き込みが開始されます。下記に、8ビットのデータを入力した場合を示します。もし、WRITE 動作 (Page) のように CS#を“L”としたまま、次の入力データが入力されると、アドレスをインクリメントしながらデータが入力されます。アドレスが最上位に到達したとき、アドレスカウンタはロールオーバーし、先頭アドレス 0 番地になりインクリメントを継続します。もし、デバイスへ入力されるデータの数がメモリ容量の最大値(131,072byte)を超えた場合、先に入力されたデータは上書きされます。ライトサイクルを終わらせるためには、サイクル中の LSB 入力クロック立ち上がり後に CS#を“H”にします。

WRITE 動作(1Byte)



WRITE 動作(Page)



プロテクト動作

ライトプロテクトブロックサイズを下記に示します。また、デバイスのプロテクト動作についてプロテクト状態を示します。ステータスレジスタの Status Register Write Disable (SRWD) ビットが“0”にリセットのとき、ステータスレジスタの値を変更することが可能です。

ライトプロテクトブロックサイズ

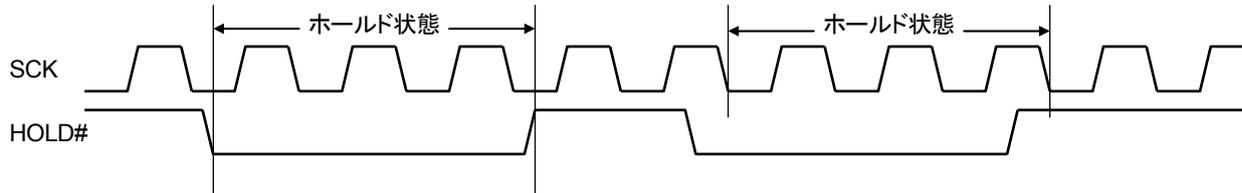
ブロックプロテクトビット		プロテクトされるブロック	プロテクトされるアドレス範囲
BP1	BP0		
0	0	なし	なし
0	1	上位 1/4 ブロック	18000h – 1FFFFh
1	0	上位 1/2 ブロック	10000h – 1FFFFh
1	1	メモリ全体	00000h – 1FFFFh

プロテクト動作

WP# 信号	SRWD ビット	モード	ステータスレジスタの ライトプロテクト状態	メモリのプロテクト状態	
				プロテクト領域	非プロテクト領域
1	0	ソフトウェア プロテクト (SPM)	WREN 命令により WEL ビットをセットした場合ステータスレジスタは書き込み可能、BP1、BP0 の値は変更可能。	ライトプロテクト状態	ライト命令受付可
0	0				
1	1				
0	1	ハードウェア プロテクト (HPM)	ステータスレジスタはハードウェアライトプロテクト状態、BP1、BP0 の値は変更不可。	ライトプロテクト状態	ライト命令受付可

ホールド動作

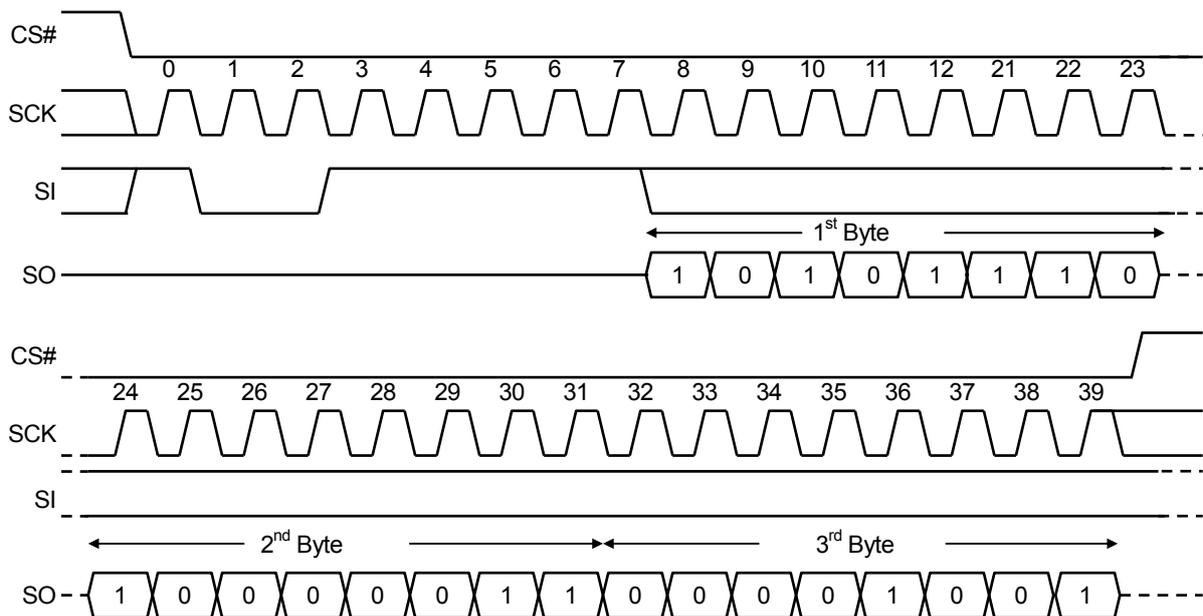
ホールドは、デバイスを非選択状態にせずにシリアルコミュニケーションを中断するために使用します。ホールド状態では、シリアル出力は High-Z となり、シリアル入力およびシリアルクロックは “Don't Care” となります。ホールド状態のときは、チップセレクト CS#を “L” レベルにし、デバイスを選択状態にする必要があります。



RDID 命令 (Read Device ID)

RDID(Read device ID)動作は、チップセレクト CS#を“L”にし、シリアル入力 SI より命令コードを入力することにより 3 バイトのデバイス ID データがシリアル出力 SO より出力されます。

Manufacture id (LAPIS)	Device type (MR45V100A)	
1 st Byte	2 nd Byte	3 rd Byte
A Eh	83h	09h



注記: WP#="H"固定

SLEEP

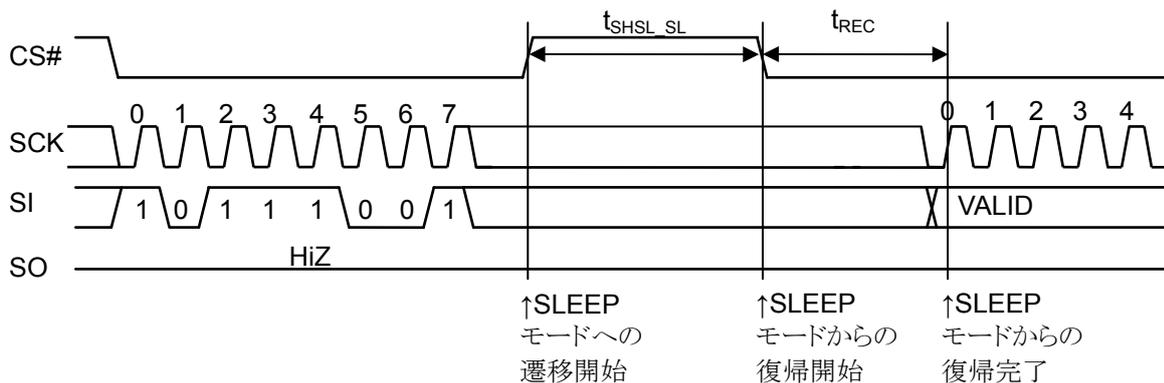
SLEEP コマンドは、MR45V100A をスリープモードに移行し、低待機時電流状態となります。

SLEEP モードへの移行

- (1) SLEEP コマンド B9h を送信します
- (2) CS#の立ち上がりエッジより MR45V100A は SLEEP モードへ遷移開始します。
SCK 第7クロックでコマンドが確定後、SCK,SI 入力は Don't care となり、次の CS#の立ち上がりエッジで SLEEP へ遷移します。
CS#を”High”レベルに保持している間、MR45V100A は SLEEP モードを継続します。

SLEEP モードからの復帰

- (1) CS#を立ち下げると MR45V100A は SLEEP モードからの復帰動作を開始します。
- (2) CS#の立ち下げから t_{REC} 時間後に復帰動作を完了し、コマンド入力可能となります。
また、 t_{REC} 前にダミーリードにて復帰確認することができます。



電気的特性仕様

絶対最大定格

絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。定格を一項目でも超えることのないようにご注意ください。

端子電圧

項目	記号	定格値		単位
		Min.	Max.	
端子電圧(入力信号)	V_{IN}	-0.5	$V_{CC} + 0.5$	V
端子電圧(入出力信号)	V_{INQ}, V_{OUTQ}	-0.5	$V_{CC} + 0.5$	V
電源電圧	V_{CC}	-0.5	4.0	V

温度範囲

項目	記号	定格値		単位	備考
		Min.	Max.		
保存温度	Tstg	-55	125	°C	
動作温度	Topr	-40	85	°C	

その他

Ta=25°C

項目	記号	定格値	
許容損失	P_D	1,000mW	

推奨動作条件

電源電圧

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{CC}	1.8	3.3	3.6	V
グランド	V_{SS}	0	0	0	V

DC 入力電圧

項目	記号	Min.	Max.	単位
“H”入力電圧	V_{IH}	$V_{CC} \times 0.7$	$V_{CC} + 0.3$	V
“L”入力電圧	V_{IL}	-0.3	$V_{CC} \times 0.3$	V

オーバーシュート/アンダーシュート耐性 (入力信号 / 入出力信号)

項目	記号	パルス幅	ピーク値
“H”入力	V_{IH} OVERSHOOT	$\leq 20\text{ns}$	$V_{CC} + 1.0\text{V}$
“L”入力	V_{IL} UNDERSHOOT	$\leq 20\text{ns}$	-1.0V

直流特性

DC 入出力特性

項目	記号	条件	Min.	Max.	単位	注記
“H”出力電圧	V_{OH}	$I_{OH} = -2\text{mA}$	$V_{CC} \times 0.85$	—	V	
“L”出力電圧	V_{OL}	$I_{OL} = 2\text{mA}$	—	$V_{CC} \times 0.15$	V	
入力漏洩電流	I_{LI}	—	-10	10	μA	
出力漏洩電流	I_{LO}	—	-10	10	μA	

消費電流

 $V_{CC} = \text{Max.} \sim \text{Min.}$, $T_a = T_{opr}$

項目	記号	条件	Min.	Typ.	Max.	単位	注記
スタンバイ電流	I_{CCS}	CS# = V_{CC} , その他全入力: $V_{IN} = V_{SS}$ or V_{CC}	—	10	50	μA	1
スリープ電流	I_{ZZ}	CS# = V_{CC} , その他全入力: $V_{IN} = V_{SS}$ or V_{CC}	—	0.1	2	μA	1
動作電流	I_{CCA}	SCK=40MHz, $I_{OUT}=0\text{mA}$	—	3	4.5	mA	1

注記: 1. 平均電流。

交流特性

SPI モード交流特性

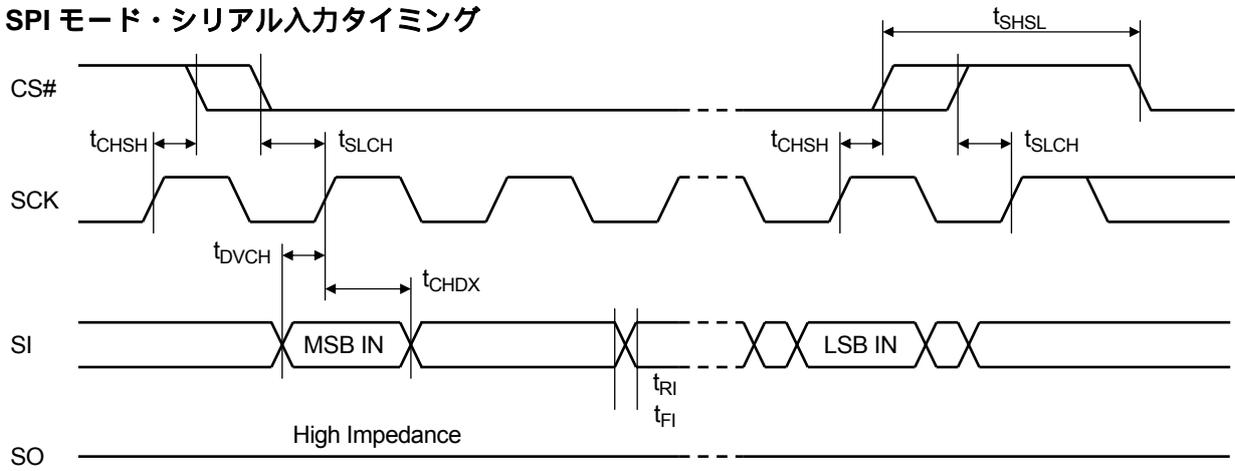
 $V_{CC} = \text{Max.} \sim \text{Min.}, T_a = \text{Topr.}$

項目	記号	READ		READ 以外		単位	注記
		Min.	Max.	Min.	Max.		
クロック周波数	f_C	D.C.	34	D.C.	40	MHz	
CS#アクティブセットアップ時間	t_{SLCH}	10	—	10	—	ns	
CS#ディセレクト時間	t_{SHSL}	10	—	10	—	ns	
CS#ディセレクト時間(SLEEP 時)	t_{SHSL_SL}	300	—	300	—	ns	
CS#アクティブホールド時間	t_{CHSH}	10	—	10	—	ns	
SCK ハイ時間	t_{CH}	13	—	11	—	ns	1
SCK ロー時間	t_{CL}	13	—	11	—	ns	1
データ入力セットアップ時間	t_{DVCH}	5	—	5	—	ns	
データ入力ホールド時間	t_{CHDX}	5	—	5	—	ns	
HOLD#非アクティブ後 SCK ローホールド時間	t_{HHCH}	10	—	10	—	ns	
HOLD#アクティブ後 SCK ローホールド時間	t_{HLCH}	10	—	10	—	ns	
HOLD#アクティブ前 SCK ハイセットアップ時間	t_{CHHL}	10	—	10	—	ns	
HOLD#非アクティブ前 SCK ハイセットアップ時間	t_{CHHH}	10	—	10	—	ns	
出力ディセーブル時間	t_{SHQZ}	—	12	—	12	ns	2
SCK ローから出力有効までの時間	t_{CLQV}	—	12($V_{CC} \geq 2.7$) 13($V_{CC} < 2.7$)	—	9($V_{CC} \geq 2.7$) 10($V_{CC} < 2.7$)	ns	
出力ホールド時間	t_{CLQX}	0	—	0	—	ns	
データ入力立上り時間	t_{RI}	—	50	—	50	ns	2
データ入力立下り時間	t_{FI}	—	50	—	50	ns	2
HOLD#ハイからの出力ローインピーダンス時間	t_{HHQX}	—	20	—	20	ns	2
HOLD#ローからの出力ハイインピーダンス時間	t_{HLQZ}	—	20	—	20	ns	2
SLEEP 復帰時間	t_{REC}	—	100	—	100	μs	

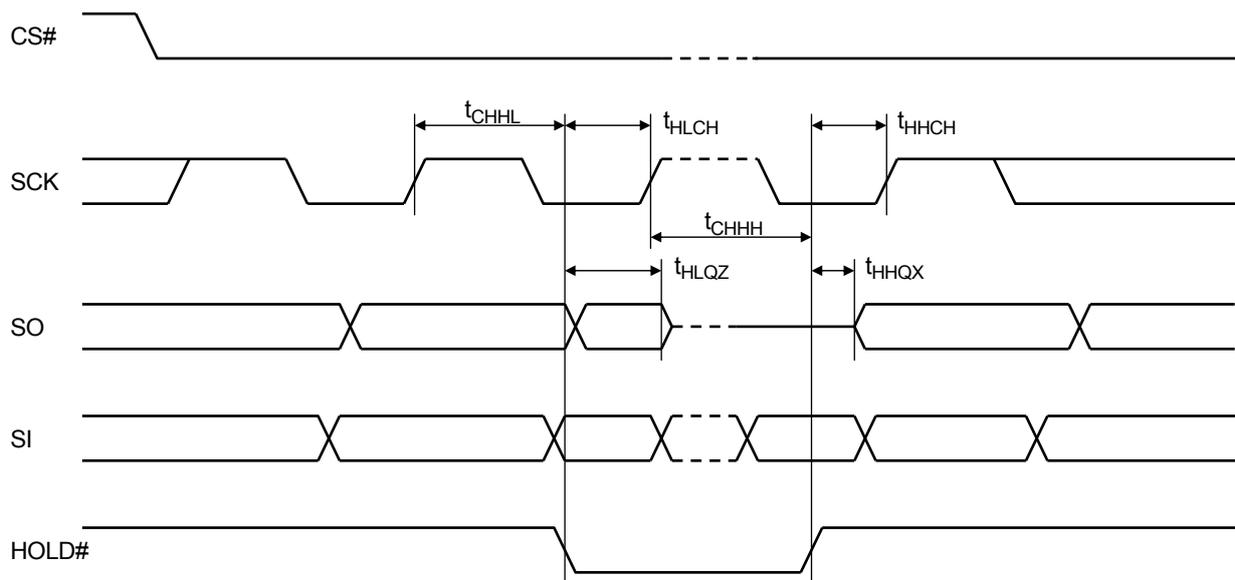
注記: 1. $t_{CH} + t_{CL} \geq 1/f_C$
 2. このパラメータはサンプル値として規定する。

タイミング図

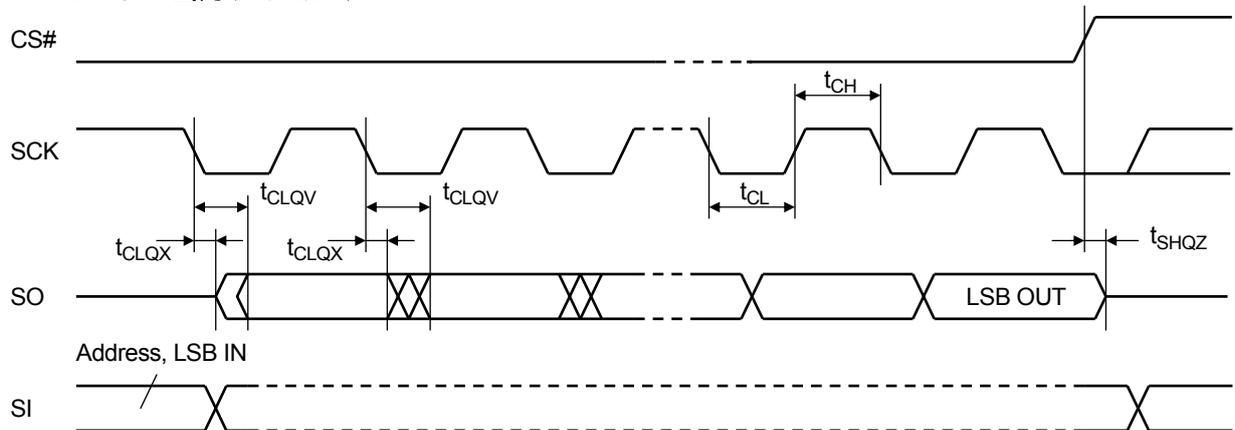
SPIモード・シリアル入力タイミング



SPIモード・ホールドタイミング



SPIモード・出力タイミング



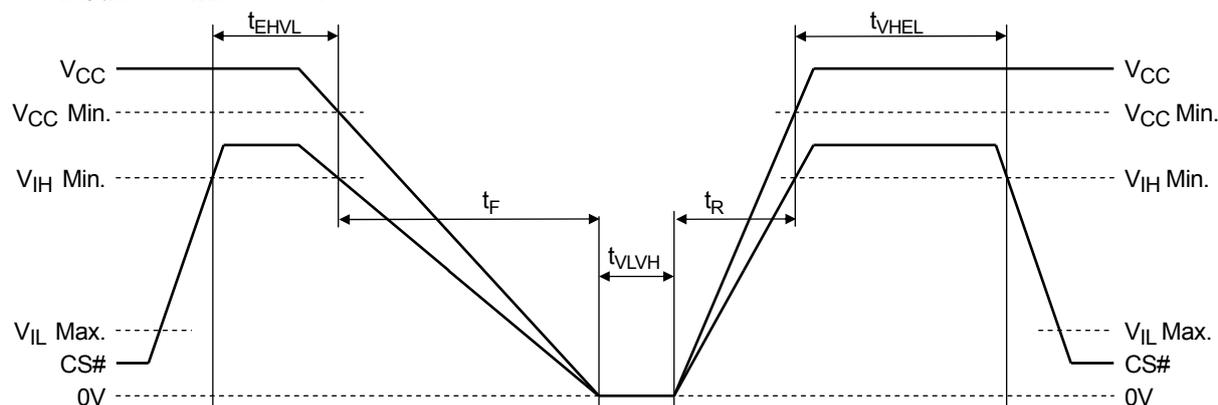
電源投入・切断特性

(推奨動作条件下)

項目	記号	Min.	Max.	単位	注記
パワーオン CS#ハイホールド時間	t_{VHEL}	100	—	ns	1,2
パワーオフ CS#ハイホールド時間	t_{EHVL}	0	—	ns	1
パワーオンインターバル時間	t_{VLVH}	0	—	μ s	2
パワーオン時間	t_R	30	—	μ s/V	
パワーオフ時間	t_F	30	—	μ s/V	

- 注記: 1. 電源投入・切断の前後は、誤動作を防止するため、必ず CS#="H"に保ち、FeRAM を非活性状態 (スタンバイモード) にしてください。
 2. 中間レベルからの電源投入は誤動作の原因となるため、必ず 0V から立ち上げてください。
 3. 電源投入時は、入力信号を電源と同時にその後に入力してください。

● 電源投入・切断シーケンス



■書き換え回数およびデータ保持期間

Ta=Topr

項目	Min.	Max.	単位	注記
リード/ライト書換え回数	10 ¹²	—	Cycle	
データ保持期間	10	—	Year	

■ピン容量

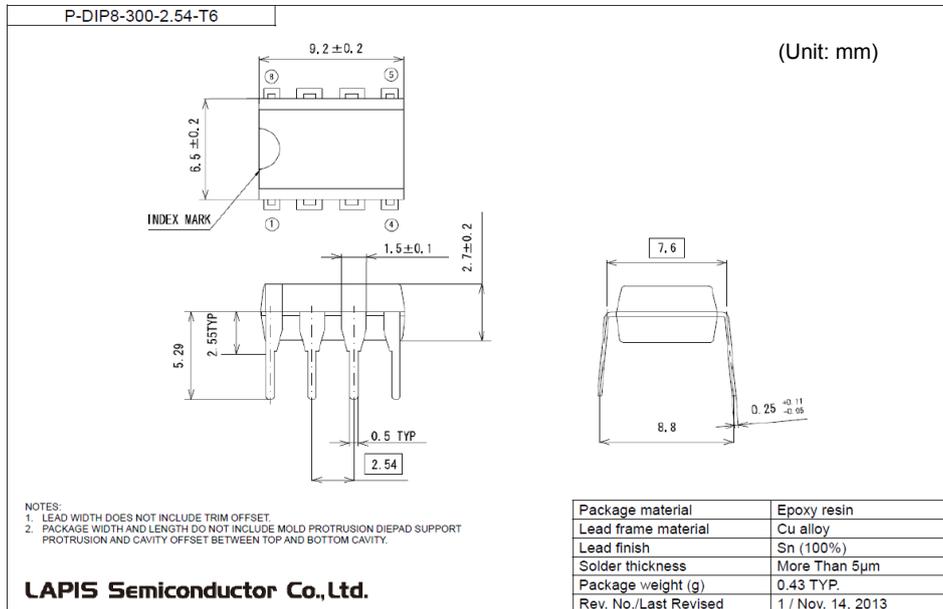
 $V_{IN} = V_{OUT} = GND, V_{CC} = 3.3V, T_a = 25^\circ C, f_C = 1MHz$

信号	記号	Min.	Max.	単位	注記
入力容量	C _{IN}	—	10	pF	1
入出力容量	C _{OUT}	—	10	pF	1

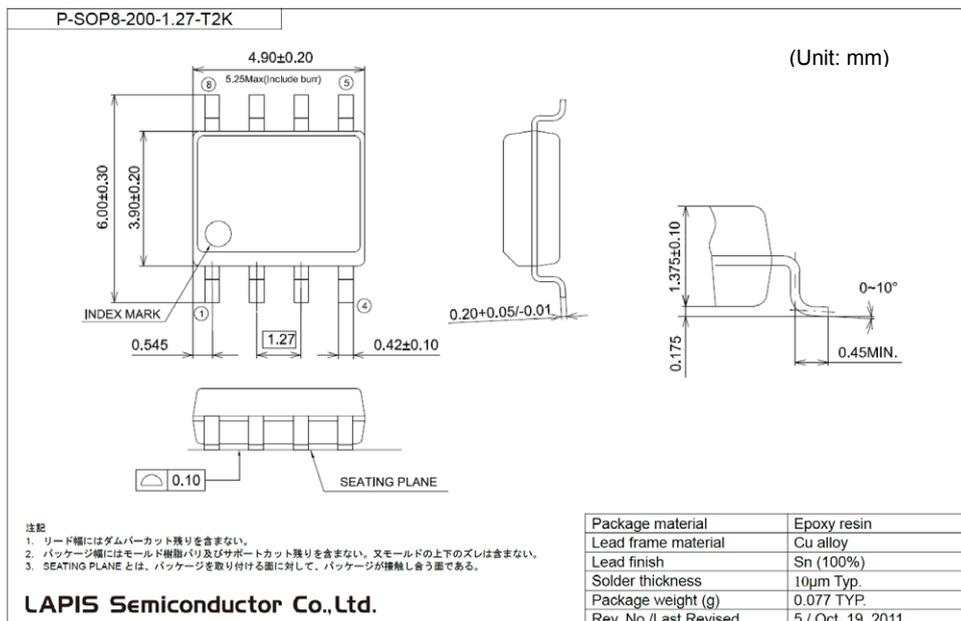
注記: 1. このパラメータはサンプル値として規定する。

パッケージ寸法図

● 8ピン・プラスチック DIP



● 8ピン・プラスチック SOP



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせ下さい。

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDR45V100A-01	2017.07.19	-	-	正式版 初版発行

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
・輸送機器(車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを強くお断りします。

Copyright 2017 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>